

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07045832 A**

(43) Date of publication of application: **14.02.95**

(51) Int. Cl

**H01L 29/786**

(21) Application number: **05204448**

(22) Date of filing: **28.07.93**

(71) Applicant: **FUJI XEROX CO LTD**

(72) Inventor: **SAKURAI ATSUSHI  
KATO SUKEJI**

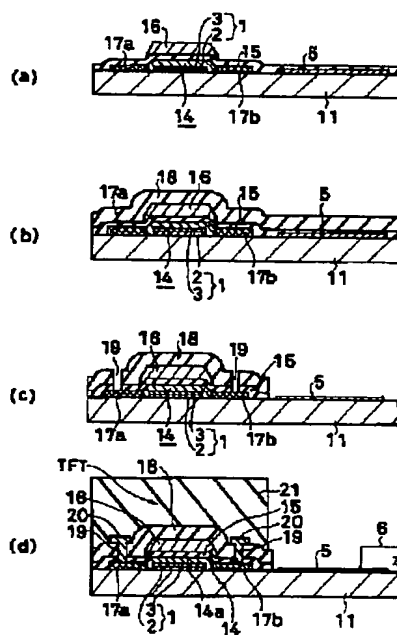
(54) **THIN FILM TRANSISTOR**

(57) Abstract:

**PURPOSE:** To obtain a thin film transistor in which a heat dissipating efficiency of a poly-Si TFT can be improved without adverse influence to characteristics of the TFT.

**CONSTITUTION:** A thin film transistor (poly-SiTFT) used as a polysilicon thin film formed on an insulating board 11 as an operating layer 11 has a semiconductor layer 3 in which p-type impurity is diffused from an operating layer 14 side and a metal layer 2 made of high melting point metal are laminated through a heat buffer layer 1 between the substrate 11 and the layer 14. Thus, the layer 2 is connected to a heat dissipating layer 5 formed at a side position of the TFT, exposed on its surface with the atmosphere and grounded to conduct heat generated from the layer 14 to the layer 5 through the metal layer to be dissipated directly into the atmosphere.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-45832

(43) 公開日 平成7年(1995)2月14日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

9056-4M

H 0 1 L 29/78

3 1 1 X

審査請求 未請求 請求項の数 1 F D (全 6 頁)

(21) 出願番号

特願平5-204448

(22) 出願日

平成5年(1993)7月28日

(71) 出願人

000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者

桜井 淳

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72) 発明者

加藤 典可

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(74) 代理人

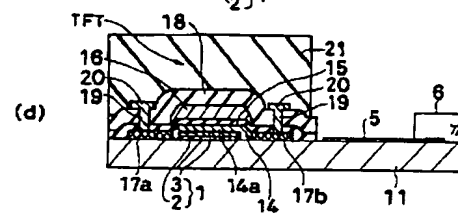
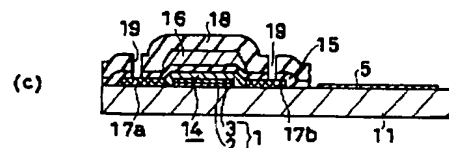
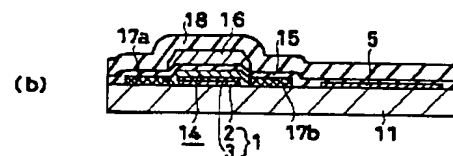
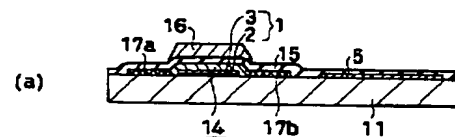
弁理士 阪本 清孝 (外1名)

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【目的】 poly-Si TFT の特性に悪影響を与えずに、TFT の放熱効率を向上させることが可能な薄膜トランジスタを得る。

【構成】 絶縁性基板 11 上に形成されたポリシリコン薄膜を動作層 14 として用いる薄膜トランジスタ (poly-Si TFT) において、前記絶縁性基板 11 と動作層 14 との間に、動作層 14 側より p 型不純物を拡散した半導体層 3、高融点金属から成る金属層 2 の順で積層された熱バッファ層 1 を介在するとともに、前記 TFT の側方位置に形成され、表面が大気中にさらされ且つ接地された放熱層 5 に前記金属層 2 を接続することにより、動作層 14 で発生した熱を金属層を介して放熱層 5 に伝導させて直接大気中に放熱させる。



## 【特許請求の範囲】

【請求項 1】 絶縁性基板上に形成されたポリシリコン薄膜を動作層として用いる薄膜トランジスタ (poly-Si TFT) において、前記絶縁性基板と動作層との間に、動作層側より p 型不純物を拡散した半導体層、高融点金属から成る金属層の順で積層された熱バッファ層を介在するとともに、前記 TFT の側方位置に形成され、表面が大気中にさらされ且つ接地された放熱層に前記金属層を接続することを特徴とする薄膜トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶ディスプレイパネルや密着型イメージセンサ等の画像入出力装置の駆動回路として用いられる薄膜トランジスタに係り、特に、ポリシリコン薄膜を動作層として用いることにより安価なガラス基板上に形成可能な薄膜トランジスタにおける動作層の放熱効率を向上させるための構造に関する。

## 【0002】

【従来の技術】 画像入出力装置の小型化及び高機能化を図るため、前記画像入出力装置の駆動回路には、大面積基板上に多数の素子を同時に形成できる薄膜トランジスタ (TFT) が使用されている。前記基板として安価なガラス板を使用可能とするため、薄膜トランジスタの動作層としては、TFT の作製プロセスを 600℃以下に抑え、且つ高移動度を有する poly-Si 薄膜材料が適している。その理由としては、ガラス基板の耐熱温度は、熱歪を考慮すると最高で 600℃位と考えられ、また、画像入出力装置の駆動回路の高駆動能力を確保するためには、電子の移動度が高い必要があるからである。すなわち、poly-Si 薄膜材料を形成する方法としては、例えば、ガラス基板上にアモルファスシリコン (a-Si) を堆積し、これをパルスレーザであるエキシマレーザにてアニールすることにより poly-Si 薄膜が得られ、この方法によると、紫外線で高エネルギーだが短いパルス幅のビームを出射できるエキシマレーザを用いるため、膜内の欠陥を少なくでき且つガラス基板に熱ダメージを与えにくい。

【0003】 上記したエキシマレーザアニールを用いた従来の poly-Si 薄膜トランジスタの製造方法について、図 5 を参照しながら説明する。ガラス等の絶縁性基板 11 上に LPCVD 法等により 1000 オングストロームの膜厚にアモルファスシリコン (a-Si) を堆積して a-Si 膜 12 を形成する (図 5 (a))。続いて、この a-Si 膜 12 をエキシマレーザによりアニールし、poly-Si 膜 13 とする (図 5 (b))。次に、poly-Si 膜 13 を島状にパターニングして動作層 14 を形成し、更に、SiO<sub>2</sub> の堆積によるゲート絶縁膜 15、poly-Si の堆積及びパターニングによるゲート電極 16 を順次形成する (図 5 (c))。続いて、ゲート電極 16 をマスクとしてイオン注入を行ない、活性化アニールしてソース

2

領域 17a 及びドレイン領域 17b を形成した後、SiO<sub>2</sub> 等の堆積による層間絶縁膜 18 を形成する (図 5 (d))。

続いて、コンタクト孔 19 の形成、金属膜の着膜及びパターニングによる配線電極 20 の形成、SiN 等の着膜によるパッシベーション膜 21 の形成をそれぞれ行ない、ポリシリコン薄膜を動作層として用いる薄膜トランジスタ (poly-Si TFT) を作製する (図 5 (e))。

## 【0004】

- 10 【発明が解決しようとする問題点】 上記プロセスで作製された poly-Si TFT は、熱伝導率の良好なシリコン (Si) 基板上に直接形成される TFT とは異なり、熱伝導率が低い絶縁性基板 11 上に形成される。絶縁性基板 11 として、ガラス基板を用いた場合、その熱伝導率は 0.014 W/cm・deg であり、前記 Si 基板に比較して熱伝導率が 2 桁以上低くなるので、次のような問題点があった。例えば、液晶ディスプレイ等において、poly-Si TFT から成る駆動回路を前記液晶ディスプレイと同一のガラス基板上に形成する場合、駆動回路では比較的大きな電流が流れるので消費電力も大きくなる。しかしながら、ガラス基板の熱伝導率が小さいため、TFT の動作層 14 のチャネル領域で発生した熱は散逸されずらく、TFT のチャネル温度が上昇しやすい。

- 【0005】 具体例で説明すると、チャネル幅が 50 μm、チャネル長が 10 μm、電界効果移動度が 60 cm<sup>2</sup>/V・s、しきい値電圧 V<sub>th</sub> が 2 V の n 型 poly-Si TFT のチャネルを導通状態とし、約 40 mV の消費電力となるようにソース電極及びドレイン電極間に電圧を印加したところ、poly-Si TFT の表面温度は 170~210℃に達することを確認した。この温度上昇は、電気ストレスによる TFT の劣化を加速し、特にしきい値電圧の上昇等の特性劣化をまねいてしまう。従って、poly-Si TFT は、アモルファス-Si TFT に比較して高速・大電流動作が可能であるにもかかわらず、熱伝導率の低いガラス基板等の絶縁性基板上に作製する場合においては十分な信頼性を確保することができなかった。

- 【0006】 そこで、チャネル領域で発生した熱を逃す構造として、例えば、ガラス基板と動作層 (半導体活性層) との間に熱伝導率の良好な物質で形成された熱バッファ層を介在させることにより、水平方向に熱を拡散させることにより基板への放熱面積を大きくし、温度上昇の防止を図ることが考えられる。しかしながら、熱を水平方向に拡散させた後に基板側へ放熱させる場合には、基板の熱伝導率が低いことから放熱効率が悪いという問題点がある。更に、前記熱バッファ層の材料として、例えば絶縁膜を使用したような場合、絶縁膜の熱伝導率が低いので熱伝導をよくするためには 10 μm 以上の膜厚を必要とするため表面平坦性が劣化し、また、熱バッファ層に大きなストレスが発生することにより亀裂を生じさせ、前記絶縁膜の上部に形成された TFT の特性に悪

影響を及ぼすという問題点がある。また、熱バッファ層の材料として金属膜を用いた場合には、ゲート電極下方に存在する金属膜によりゲート容量が増加すること、動作層と金属膜がショットキー接合しているため、動作層中に発生した正孔は排除されず T F T の電流-電圧特性にキック現象を生じるという問題点があった。

【0007】本発明は上記実情に鑑みてなされたもので、poly-Si T F T の特性に悪影響を与えずに、T F T の放熱効率を向上させることが可能な薄膜トランジスタの構造を提供することを目的とする。

【0008】

【課題を解決するための手段】上記従来例の問題点を解消するため本発明は、絶縁性基板上に形成されたポリシリコン薄膜を動作層として用いる薄膜トランジスタ (poly-Si T F T) において、前記絶縁性基板と動作層との間に熱バッファ層を介在させたことを特徴としている。この熱バッファ層は、動作層側より、p 型不純物を拡散した半導体層、高融点金属から成る金属層の順で積層されている。また、前記金属層は、前記 T F T の側方位置に形成され、表面が大気中にさらされ且つ接地された放熱層に接続されている。

【0009】

【作用】本発明の薄膜トランジスタによれば、T F T の動作中に素子温度が上昇すると、動作層に発生した熱は、熱バッファ層の金属層に伝導され、更に放熱層に導かれてその表面から大気中に放熱される。動作層の直下には、p 型不純物を拡散した半導体層が形成されているので、動作層と金属層との間をオーミックコンタクトとすることができ、動作層に発生した正孔を、放熱層を介して効率よく逃がすことができる。また、金属層は高融点金属で構成されているので、poly-Si T F T の作製プロセスにおいて、アニール等の熱処理が行なわれた場合においても T F T 部分に悪影響を与えることがない。

【0010】

【実施例】以下、本発明の一実施例について、図 2

(d) 及び図 3 (d) を参照しながら説明する。ガラス等の絶縁性基板 11 上にポリシリコン薄膜を動作層 14 とした薄膜トランジスタ (poly-Si T F T) が形成されている。薄膜トランジスタは、ポリシリコン薄膜から成る動作層 14 と、この動作層 14 を覆うゲート絶縁膜 15 と、ゲート絶縁膜 15 上に形成されたゲート電極 16 とから構成されている。前記動作層 14 のゲート電極 16 直下にはチャネル領域 14 a が形成され、チャネル領域 14 a の両側には前記ゲート電極 14 に対して自己整合的にソース領域 17 a 及びドレイン領域 17 b が形成されている。

【0011】動作層 14 の下側には、ゲート電極 16 に対して一回り小さい表面積 (図 3 (d) 参照) の熱バッファ層 1 が、絶縁性基板 11 との間に介在されている。熱バッファ層 1 は、熱伝導率が高く且つ高融点の金属、

例えばタングステン (W) から成る金属層 2 と、この金属層 2 上に形成され p 型不純物を拡散したアモルファスシリコン膜から成る半導体層 3 との 2 層構造で構成されている。金属層 2 は引き出し部 4 を介して薄膜トランジスタの側方位置の絶縁性基板 11 上に形成された方形形状の放熱層 5 に接続されている。前記引き出し部 4 及び放熱層 5 は、金属層 2 のパターン形成時に同時に形成され、金属層 2 と同様にタングステン (W) で構成されている。また、放熱層 5 には接地線 6 が接続されている。

10 【0012】ゲート電極 16 上には層間絶縁膜 18 が形成されて薄膜トランジスタを被覆している。層間絶縁膜 18 及びゲート絶縁膜 15 のソース領域 17 a 及びドレイン領域 17 b に対応する場所には、コンタクト孔 19、19 が穿孔され、ソース領域 17 a 又はドレイン領域 17 b に接続される配線電極 20 が形成されている。各配線電極 20 の端部は、所望の信号線に接続されている。層間絶縁膜 18 上には、保護膜としてのパシベーション膜 21 が形成されている。また、放熱層 5 上には、前記パシベーション膜 21 及び層間絶縁膜 18 は形成されず、放熱層 5 の表面が大気中にさらされるようになっている。

【0013】次に、上記構造の薄膜トランジスタの製造方法について図 1、図 2 及び図 3 を参照しながら説明する。ガラス等の絶縁性基板 11 上にスパッタ法によりタングステン (W) を 50 nm の膜厚に着膜してタングステン膜を形成する。続いて、LPCVD 法により p'-a-Si を 20 nm の膜厚に着膜して半導体膜を形成する。次に、フォトリソグラフィ法により、前記半導体膜をパターニングし、後述するゲート電極 16 より一回り小さい表面積の半導体層 3 を形成する。続いて、タングステン膜をパターニングし、前記半導体層 3 と同一形状の金属層 2、引き出し部 4 及び放熱層 5 から成るタングステン金属パターンを形成する (図 1 (a)、図 3 (a))。

【0014】次に、LPCVD 法により 100 nm の膜厚にアモルファスシリコン (a-Si) を 500 °C で堆積して a-Si 膜 12 を形成する (図 1 (b))。続いて、この a-Si 膜 12 を KrF エキシマレーザ (248 nm 発振、パルス幅 20 nsec、エネルギー密度 450 mJ/cm<sup>2</sup>) によりアニールし、poly-Si 膜 13 を形成する (図 1 (c))。このアニールの際、前記金属層 2 は高融点金属であるタングステン (W) で形成したので、上層の poly-Si 膜 13 に悪影響を与えることを防止することができる。また、レーザのエネルギーを制御して動作層の一部を溶融させない条件でアニールすることで、半導体層 3 の不純物の拡散を抑えることができる。次に、フォトリソグラフィ法により、poly-Si 膜 13 を島状にパターニングして動作層 14 を形成し、更に、LPCVD 法により 100 nm の膜厚に SiO<sub>2</sub> を堆積して動作層 14 を覆うゲート絶縁膜 15 を形成する。次に、

300 nmの膜厚にpoly-Siを堆積し、パターニングして動作層14上に位置するゲート絶縁膜15上にゲート電極16を形成する(図1(d)、図3(b))。

【0015】次に、ゲート電極16をマスクとしてイオン注入により、nチャネルTFTとする場合にはリン(P)、pチャネルTFTとする場合にはボロン(B)をドーパントとして注入し、活性化アニールしてゲート電極16に対して自己整合的となるソース領域17a及びドレイン領域17bを形成する(図2(a))。プラズマCVD法により900 nmの膜厚にSiO<sub>2</sub>を着膜し、薄膜トランジスタを覆う層間絶縁膜18を形成する(図2(b))。続いて、ゲート絶縁膜15及び層間絶縁膜18をパターニングして、ソース電極17a及びドレイン電極17b上に位置するコンタクト孔19を穿孔するとともに、放熱層5上のゲート絶縁膜15及び層間絶縁膜18を除去する(図2(c)、図3(c))。次に、水素プラズマ処理を行ない、動作層14の半導体とゲート絶縁膜15との界面のダングリングボンドを水素で終端して欠陥準位密度を低減させる。

【0016】アルミニウム(Al)を1 μmの膜厚に着膜し、フォトリソ法によりパターニングして、ソース領域17a又はドレイン領域17bに接続される配線電極20を形成する。更に、全体を覆うようにSiN等の着膜によるパッシベーション膜21を形成する。パッシベーション膜21には、前記放熱層5を大気にさらすための開口部22を設けている。最後に、放熱層5を接地線6に接続させる。

【0017】次に、上記実施例による放熱効果の測定結果について、導通状態とした場合のpoly-Si TFTの消費電力と、しきい値電圧V<sub>th</sub>の変動幅との関係について、図4を参照しながら説明する。図中、実線は本実施例のものであり、点線は熱バッファ層を設けない従来構造によるものである。従来例のpoly-Si TFTでは、消費電力の上昇とともにpoly-Si TFTの動作層における表面温度は上昇し、しきい値電圧V<sub>th</sub>の変動幅も大きく増加する。本実施例のpoly-Si TFTによれば、しきい値電圧V<sub>th</sub>の変動幅を小さくすることができる。すなわち、消費電力が40 mW以上に増加した場合においても、しきい値電圧V<sub>th</sub>の変動幅を1 V以下に抑えることができる。実際の駆動回路の回路動作はAC駆動であるため、その消費電力はトランジスタ当たり20 mW以下程度であり、上記実施例のpoly-Si TFTの構造によれば、信頼性の高いpoly-Si TFTとすることができる。

【0018】上記実施例によれば、金属層2を熱伝導率の高いW(熱伝導率が177 W/m・K)で形成し、この金属層2は動作層14の直下に形成されているので、動作層14で発生したジュール熱は金属層2に伝わり、更に、引き出し部4を経て放熱層5に伝導されて放熱層5の表面より大気中に放熱されるので、放熱効果の向上を図ることができる。すなわち、従来構造においては、

動作層で発生したジュール熱は、熱伝導率が1 W/m・K以下のガラス(絶縁性)基板11やSiO<sub>2</sub>で形成されたゲート絶縁膜15や層間絶縁膜18を伝わるしかなく、前記発生した熱は動作層14に蓄熱する傾向があったが、上記実施例では金属層2及び放熱層5の存在により、放熱層5から熱を逃がすことができるので、放熱効果を向上させることができる。その結果、TFTの温度上昇を抑えることができ、しきい値変動等の特性劣化を防止することができる。

10 【0019】また、動作層14と金属層2との間にp型不純物を拡散した半導体層3を設け、放熱層5を接地しているため、金属層2と動作層14との界面をオーミックコンタクトとすることができ、動作層14のチャンネル領域14aに発生した正孔を効率よく逃がすことができる。従って、nチャネル薄膜トランジスタの場合に顕著に発生するキンク現象、すなわち、TFTのドレイン電圧-ドレイン電流特性において、電圧変動に対して電流が急激に増加する現象を抑制することができる。

20 【0020】また、上記実施例では各TFTに対して放熱層14を形成するような場合を想定した構成を説明したが、TFTを複数個作製するような場合に、放熱層5を複数のTFTで共用することが可能であり、その結果、放熱層5の占有面積を低減させて小型化を図ることも可能である。

【0021】

30 【発明の効果】本発明の薄膜トランジスタによれば、TFTの動作中に素子温度が上昇すると、動作層に発生した熱は、熱バッファ層の金属層に伝導され、更に放熱層に導かれてその表面から大気中に放熱される。金属層は熱伝導率が高いので放熱効率を向上させ、信頼性の高いpoly-Si TFTを作製することができる。また、金属層は高融点金属で構成されているので、poly-Si TFTの作製プロセスにおいて、アニール等の熱処理が行なわれた場合においてもTFT部分に悪影響を与えることがない。更に、キンク現象に対しては、p型不純物を拡散した半導体層を介在させたことで、動作層と金属層との間をオーミックコンタクトとすることができ、また、放熱層を接地させているので、動作層に発生した正孔を、放熱層を介して効率よく逃がすことで対処することができる。

40 【図面の簡単な説明】

【図1】 (a)ないし(d)は、本発明の一実施例に係るpoly-Si TFTの製造プロセスを説明するための製造工程断面説明図である。

【図2】 (a)ないし(d)は、本発明の一実施例に係るpoly-Si TFTの製造プロセスを説明するための製造工程断面説明図である。

50 【図3】 (a)ないし(d)は、図1の実施例のpoly-Si TFTの製造プロセスを説明するための製造工程平面説明図である。

7

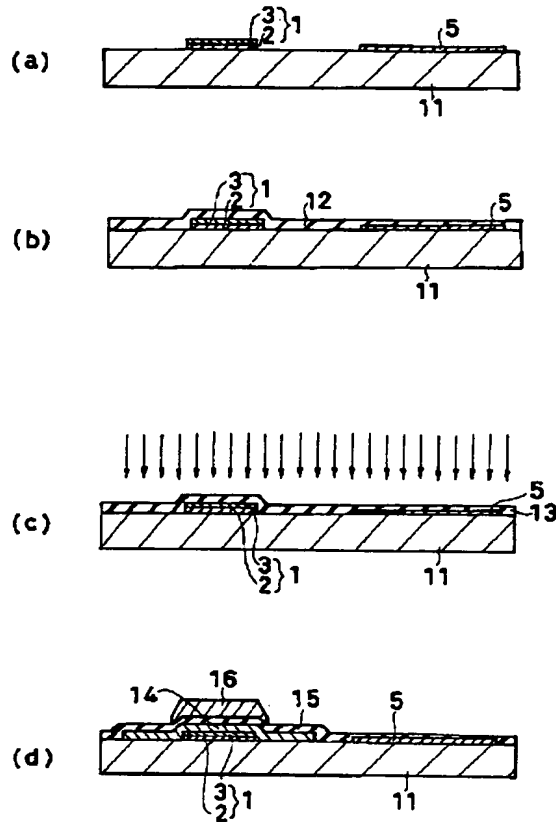
【図4】 実施例のpoly-Si TFTによる消費電力としきい値電圧 $V_{th}$ の変動幅との関係を示すグラフ図である。

【図5】 (a)ないし(e)は、従来のpoly-Si TFTの製造プロセスを説明するための製造工程図である。

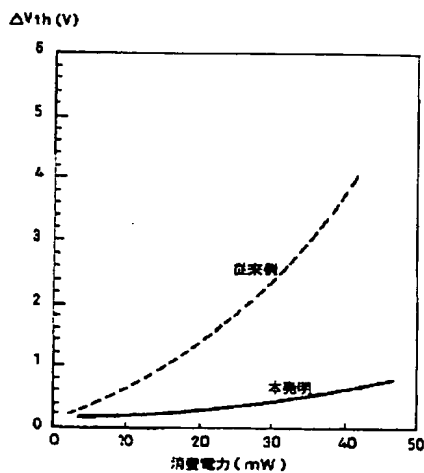
【符号の説明】

1…熱バフア層、 2…金属層、 3…半導体層、

【図1】



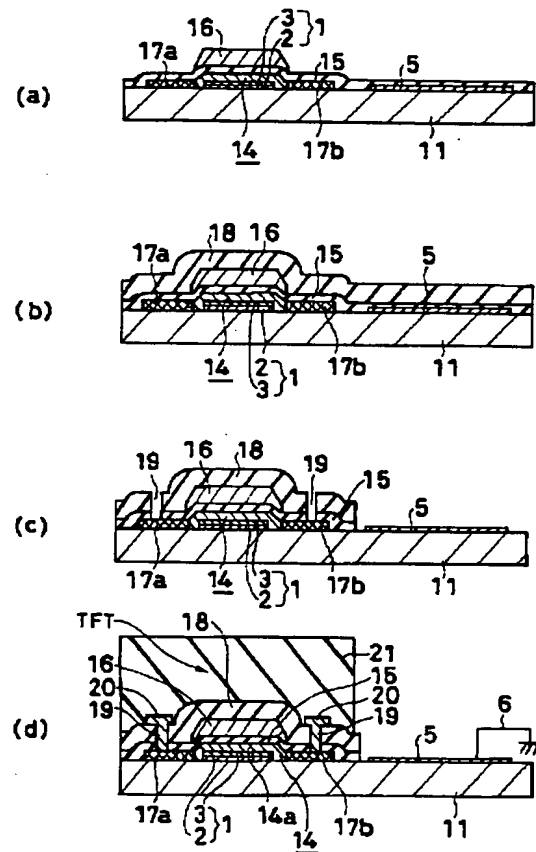
【図4】



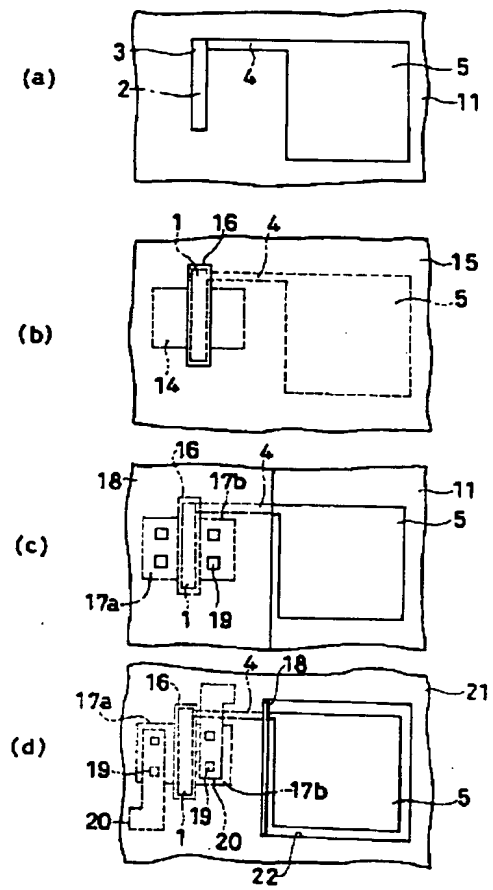
8

4…引き出し部、 5…放熱層、 6…接地線、 11…絶縁性基板、 12…a-Si膜、 13…poly-Si膜、 14…動作層、 15…ゲート絶縁膜、 16…ゲート電極、 17a…ソース領域、 17b…ドレイン領域、 18…層間絶縁膜、 19…コンタクト孔、 20…配線電極、 21…パッシベーション膜、 22…開口部

【図2】



【図 3】



【図 5】

